Computersystemen samenvatting architectuur

# Soorten computersystemen

**Super computers:**  Zijn computers die zeer zware rekenbewerkingen kunnen uitvoeren en ongekende piekmomenten kunnen verwerken. (alternatief -> gewone pc’s die geclusterd worden over een netwerk. Distributed computing)

**Mainframe:** alleen voor grote bedrijven. Optimaliseren van dataverkeer, mainframes zijn zeer betrouwbaar. Meerdere gebruikers kunnen op een mainframe gelijktijdig werken via terminal software.

**Servers:** verlenen diensten (services) aan computers (clients). Ze hebben meerdere processoren, meerdere samenwerkende hard schijven, hoge netwerkbrandbreedte en veel RAM-geheugen.

**Workstations:** ligt tussen de desktop en de server in. Maakt gebruik van dual-processor (servers hebben meerdere processoren). Prestaites zijn zeer uitgesproken met optimalisatie van CAD/CAM.

**Desktop:** Personal computer ontwikkeld voor dag dagelijks gebruik. (onderverdeling: standaard pc’s, gaming pc’s, entertainment pc’s, home servers, thin clients).

**Laptop:** draagbare variant van de desktop. Hebben zuinigere processoren en lichtere grafische kaarten. Optimalisatie van koeling en batterijduur. (zakelijk -> docking stations of poortreplicator).

**Ultrabook:** kleinere, lichtere variant van de laptop. Hebben langere batterijduur dan een laptop. Maken gebruik van SSD.

**Netbook:** Processor is gebaseerd op ARM-architectuur. Ze hebben een lichtere versie van het Desktop OS.

**Tablet:** gespecialiseerde laptop waarbij het toetsenbord vervangen is door een touchcreen toetsenbord. Alles is in het teken van draadloos en draagbaarheid.

**TabletPC:** eerste versie van de tablet. Muis is vervangen door styluspen. Soms nog een inklap toetsenbord. Later plate (toetsenbord weggelaten).

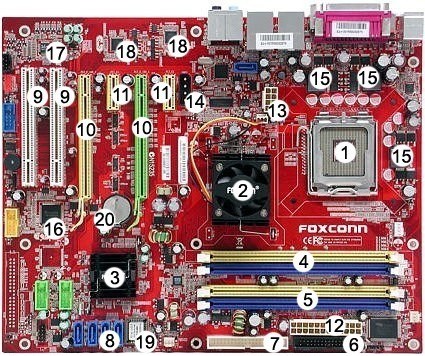
**Smartphone:** Verschilt tegenwoordig amper van hardware tegen opzichte van een tablet. Processoren gebruiken ARM-architectuur.

# Moederbord

Bepaalt de interen architectuur van het systeem en is het belangrijkste onderdeel van een pc.

**Basisonderdelen van het moederbord:**

* De microprocessor (verwerkt instructies)
* Ram-geheugen (opslag data en instructies)
* Cache geheugen (snelle tijdelijke opslag voor instructies, data)
* Chipset buscontroller (north en south bridge) brug tussen processer en geheugen en tussen processor en randapperatuur, uitbreidingssloten,…
* Bioschip bewaart, stuurt de configuratie van het systeem
* Toetsenbord controller
* Verschillende ingangen voor seriële en parallelle communicatie met de buitenwereld
* Busstructuur onderverdeeld in bussen met verschillende breedte en snelheid



1. Processorsocket

2. Chipset (North Bridge) met actieve koeling

3. Chipset (South Bridge) met actieve koeling

4. DRAM-geheugen (channel 1)

5. DRAM-geheugen (channel 2)

6. Floppy disk connector

7. ATA100/ATA133 connector voor pATA-schijven

8. SATA connector (4 stuks) voor sATA-schijven

9. PCI (32 bit, 33 MHz)

10. PCI-express x16

11. PCI-express x1

12. 24 pins ATX-voeding

13. 8 pins ATX 12V voeding

14. Voeding voor zware grafische kaarten

15. CPU-voedingsregeling

16.Firewire controller

17. Audiochip

18. Netwerkchip

19. BIOS-chip

20. CMOS-batterij

## Moederbord aansluitingen



* Eerste blok: PS2-poort en twee USB3-poorten
* Tweede blok: WLAN-antenne aansluiting en DVI-poort
* Derde blok: DisplayPort en HDMI
* Vierde blok: twee USB2-poorten en een e-SATA poort
* Vijfde blok: gigabit LAN-poort (RJ-45) en USB3-poorten
* Zesde blok: Tweekanaals audiopoort

# Bussen

## Algemeen

Bussen transporteren gegevens van en naar registers, rekeneenheden, geheugen,…

Bussen kunnen parallel opgebouwd zijn (veel draden naast elkaar bits worden naast elkaar verzonden). Tegenwoordig serieel (1 baan per richting. Bits worden achter elkaar getransporteerd.)

**Interne/lokale bussen:**  Transport van gegevens gebeurd intern (tussen componenten op het moederbord).

**Externe bussen:** Transport van gegevens van en naar het moederbord en randapparatuur.

**Databus:** Voert de te verwerken gegevens en resultaten uit (gaat de gegevens transporteren).

**Adresbus:** Transporteert de informatie over het adres waar de gegevens moeten worden verstuurd/gehaald.

**Controlebus of busturingsbus:** vervoert de synchronisatie-en controlesignalen die vereist zijn voor de werking van het systeem.

**Systeembus:** communicatie tussen het vroegere L2-cahce, DRAM geheugen en de cpu op het moederbord.

**DIB:** Dual Independent Bus. Wordt opgesplitst in 2 onafhankelijke bussen: de back side bus (BSB) en de front side bus (FSB). Niet enkel snelheid is belangrijk maar ook het verzenden van het aantal bits. **Vanaf core i systeembus**

**Back side bus (BSB):** Verbind de geïntegreerde L2-chache geheugen met de CPU. (snelheid = volle processorfrequentie).

**Front side bus (FSB):** Connecteert de CPU met de Northbridge van de chipset. (laagste snelheid)

**Quickpath bij AMD hypertransport:**

* Wordt gebruikt vanaf core i (Nehalem, Sandy Bridge en Haswell).
* Is een direct connect architecture die gebruik maakt van meervoudige seriële verbindingen. Tegenwoordig is er dus geen FSB meer.
* Geheugen controller geïntegreerd in de CPU.
* De brandbreedte bedraagt 25.6 GiBps.
* Hypertransport bij AMD (Athlon64 X2, Opteron en Phenoms).

**MHZ**

**MT/s:** MegaTransfer per seconde. Vragen bij hoeveel MTS in MZH is bij 2 bits te verzenden

**Bandbreedte = FSB (Mt/s \* busbreedte) / 8 = Mbytes/s**

## Serieel vs parallel

Bij parallelle communicatie worden meerdere bits tegelijkertijd naast elkaar getransporteerd (32-64 bits). Terwijl bij seriële communicatie 1 bit per klokcyclus wordt verstuurd. Vroeger was dus parallel sneller dan serieel.

**Serieel sneller maken -> busfrequentie moet de hoogte in gejaagd worden.**

Laatste jaren opvallend veel migratie van parallel naar serieel.

* Parallelle apparaten zoals printers, scanners en externe opslagmedia worden aangesloten via USB (Universal Serial Bus) of FireWire en niet langer via parallelle poorten zoals LPT of SCSI.
* Bij IDE harde schijven volgt Serial-ATA P-ATA (parallel ATA)-op.
* De SCSI-standaard voor harde schijven is ook omgevormd naar serieel.
* De parallelle PCI is vervangen door de seriële PCI Express versie.

Dit komt omdat de limieten van parallelle communicatie bereikt zijn -> **verhindering van de stijging van de brandbreedte.** Oorzaken:

* Bij versturen van een 32 bit woord bij parallel moeten er 32 draden gelegd worden. Dit maakt het complexer en duurder. Serieel moeten er maar 2 data lijnen aangelegd worden(1 voor signaal en 1 voor aarding).
* Parallel is **half duplex** (parallel datalijnen zijn de enigste verbinding tussen de verzender en ontvanger en moeten dus afwisselend worden gebruikt. Verzenden en ontvangen kan niet gelijktijdig gebeuren) en serieel is **full duplex** (paren van datalijnen tegelijk verzenden en ontvangen).
* **Noise:** De stroom die door de lijnen gaat creëert een elektromagnetisch veld. Bij parallelle bussen liggen de lijnen zeer dicht bij elkaar waardoor er storing op de lijnen ontstaat. (noise). Hoe hoger de frequentie hoe meer noise er ontstaat. Bij **serieel:** voldoende om de 2 draden van elkaar af te schermen.
* **Timing:** het aankomen van een 32 bit of meer bits van een transfer is niet gelijktijdig. Het is zelfs zeer moeilijk tot onmogelijk om alle datalijnen exact dezelfde karakteristieken te geven. Bij het minste verschil (dikte, lengte) komen de bits niet gelijktijdig aan. Bij lage frequentie genoeg tijd tussen de bits die aankomen. Bij hoge frequentie kan het zijn dat de ene bit sneller aankomt dan de andere **bit -> niet meer gegroepeerd -> wachten tot alle bits zijn aangekomen -> verlies van performantie (propagation delay)**.

## Controller-Chipset

**Integrated peripheral controller:**

* Zorgt voor een vlekkeloze samenwerking tussen de microprocessor en het aanwezige RAM, uitbreidingssloten, alle andere componenten van het moederbord.
* Bepaalt in grote maten welk type van processor, RAM, I/O apparatuur ondersteund wordt en tegen welke snelheid dit kan gebeuren. Onderdelen die chipset bepaalt:
  + Processor generatie
  + Frequentie van quickpath (2.5, 5, 8GT/S)
  + Hard disk controller: S-ATA, S-ATA2,…
  + Uitbreidingssloten
  + Onboard componenten: VGA, audio, LAN,…
  + RAM geheugen: DDR3-sDRAM
* Intel brengt voor hun eigen CPU’s ,steeds een aangepaste chipset op de markt uit. Naast Intel zijn er ook nog andere producenten (VIA, SiS en NVidea) die chipsets voor Intel maken.

Een chipset bestaat uit **2 chips**:

* North bridge
* South bridge

### North Bridge

**Belangrijkste taken North bridge:** controle van het systeem en geheugen (systemcontroller en memorycontroller).

Laatste 20 jaar is de basisfunctionaliteit van de systeemcontroller niet gewijzigd alleen uitgebreid:

* **DMA** controle: Regelen van de direct memory access zorgt er voor dat bepaalde apparaturen rechtstreeks kunnen communiceren met het geheugen zonder hierbij de processor over te belasten.
* **Interrupt controller:** het toekennen van hardware interrupts aan apparaten en zo de prioriteit installen van de apparaten.
* **Timing: :** regeling van de timing van microprocessoren en geheugen.
* **Power Managment:** het energiebeheer is pas de laatste jaren toegevoegd.

**Geheugencontroller**: bepaalt welk type geheugen er ondersteund wordt door het moederbord, waaronder:

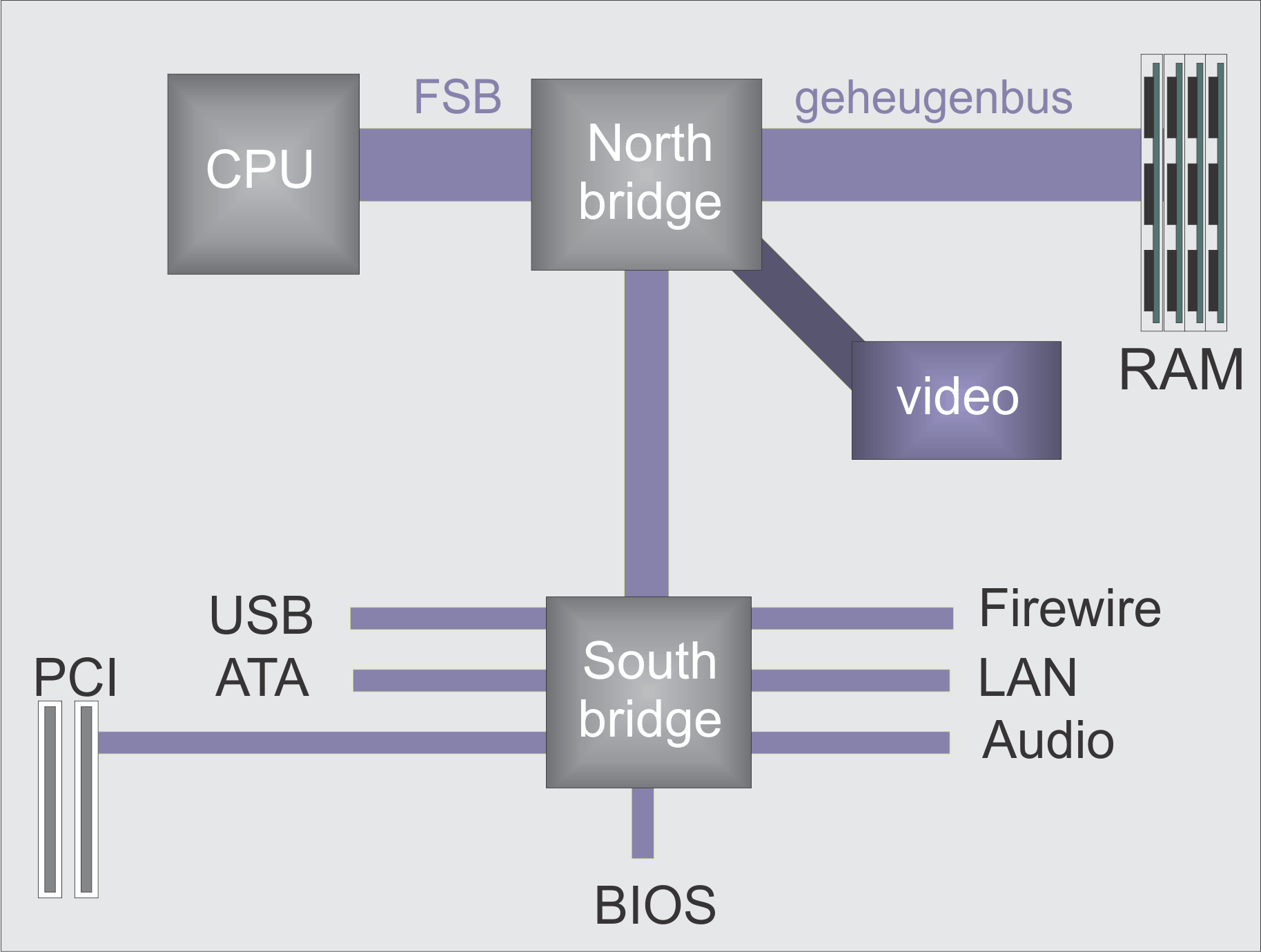
* **Type geheugen:** DDR-3sDRAM
* **Snelheid van het geheugen:** DDR-1333
* **Ondersteuning van dual of triple-channel technologie.**
* **Ondersteuning an ECC (Error Correction Code)**

**Bij de core I en de recente AMD’s is de memory controller geïntegreerd in de processor en dus niet langer een onderdeel van de North bridge. -> Optimale toegang tot het geheugen en een grotere onafhankelijkheid van het gebruikte moederbord. PCI-express controller ook geïntegreerd. In de toekomst moederborden zonder chipset.**

### South Bridge

De South bridge bevat de peripheral controller die de controle uitvoert over de aanwezige on-board componenten, de aangesloten uitbreidingskaarten en randapparatuur, waaronder:

* **Toetsenbord controller:** vertaling van scancodes naar ACII of UNICODE
* **Harddiskcontroller:** bepaling van type en snelheid van harde schijven en optische media
* **I/O-poorten:** controle van seriële en parallelle poorten

****

## Interrupt requests

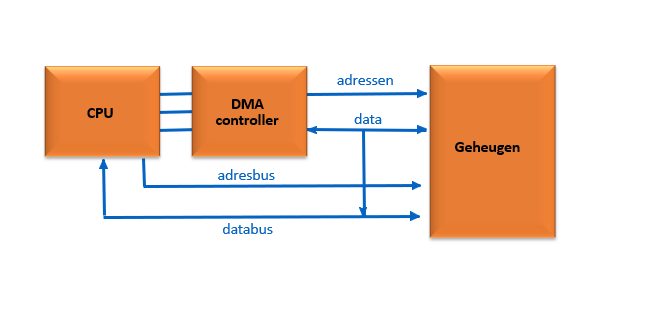
* Computer maakt gebruik van **hardware interrupts**. Een I/O poort of apparaat vraagt de aandacht van de CPU door het een **interrupt request** te sturen (IRQ)
* De processor ontvangt de interrupt aanvraag (1byte) en stopt het uitvoeren van zijn huidige taak en zet een aantal dingen op de stack. Hierna zal de **interrupt service routine** (ISR) worden uitgevoerd die de byte die door de poort kwam in de buffer plaatst.
* Niet alle interrupts zijn geassocieerd met I/O apparaten. Binnen de 8086 familie zijn er 256 interrupts. Waarvan slechts 15 hardware interrupts en 1 **non-maskable interrupt**(NMI).
* Alle interrupts zijn geplaatste in een **Interrupt vector table (1024 bytes op adres: 0000:0000)**. Alle ingangen zijn 4 biytes lang dus max 256 interrupts.

### Hardware interrupts

* + Het afhandelen van hardware interrupts gebeurt door de Programmable Interrupt Controller (PIC);
  + Twee PIC’s: één voor de IRQ's 0 tot 7 en een andere voor IRQ's 8 tot 15;
  + Koppelen van beide PIC’s ter hoogte van IRQ2;
  + De prioriteit van de IRQ’s 9 tot 15 is hoger dan die van de IRQ’s 3 tot 7 en binnen elke reeks is het laagste nummer prioritair op hogere nummers. Bv: IRQ 9 IRQ 10 IRQ 11 … IRQ 15 IRQ 3 …. IRQ7
  + Steeds meer apparaten, beperkt aantal beschikbare interrupts (oplossing PCI).

# Direct memmory acces

* Ontlasten van de centrale processor
* Direct geheugentoegang aan apparaten toekennen
* DMA controller reserveert bepaalde blokken geheugen die vast in gebruik blijven voor de apparaten die DMA gebruiken
* Eerst vier DMA-kanalen voorzien (0 tot 3), daarna bij de uitbreiding van de ISA-bus van 8 bit naar 16 bit een tweede controller toegevoegd (hogere kanalen 5, 6 en 7, enkel 16-bit kaarten);
* Kanaal 4 = brug tussen de 2 DMA-controllers.



# BIOS

Basic input/output system. Zeer belangrijk component op het moederbord. Bevat de firmware om te booten. Bij het opstarten is dit de eerste code die word uitgevoerd. De firmware kan geüpdatet worden (flashen).

Bios bevat:

* ROM-chip die de code bevat
* CMOS-geheugen waarop de instellingen bewaard worden.

Configuratie die door de CMOS bewaard worden:

* Configuratie van aanwezige opslagmedia
* Configuratie van het RAM-geheugen
* Configuratie van de on-board poorten(Netwerk, audio, usb,…)
* Configuratie van de processor(multi-core, VT, HT)
* Power management
* Monitoring van temperatuur, voltage,…
* Volegorde van de boot media
* Diefstalpreventie

CMOS-batterij bewarrt ook de gegeven tegen uitvallende stroom. Ook als er de instelling in de bios corrupt zijn door te flashen is het genoeg om de batterij te vervangen. De gegevens worden dan gereset.

# Interne I/O-bussen en uitbreidingssloten

* Zorgt voor communicatie tussen de componenten op het moederbord
* Voorzien van uitbreidingskaarten
* Evolutie parallel naar serieel

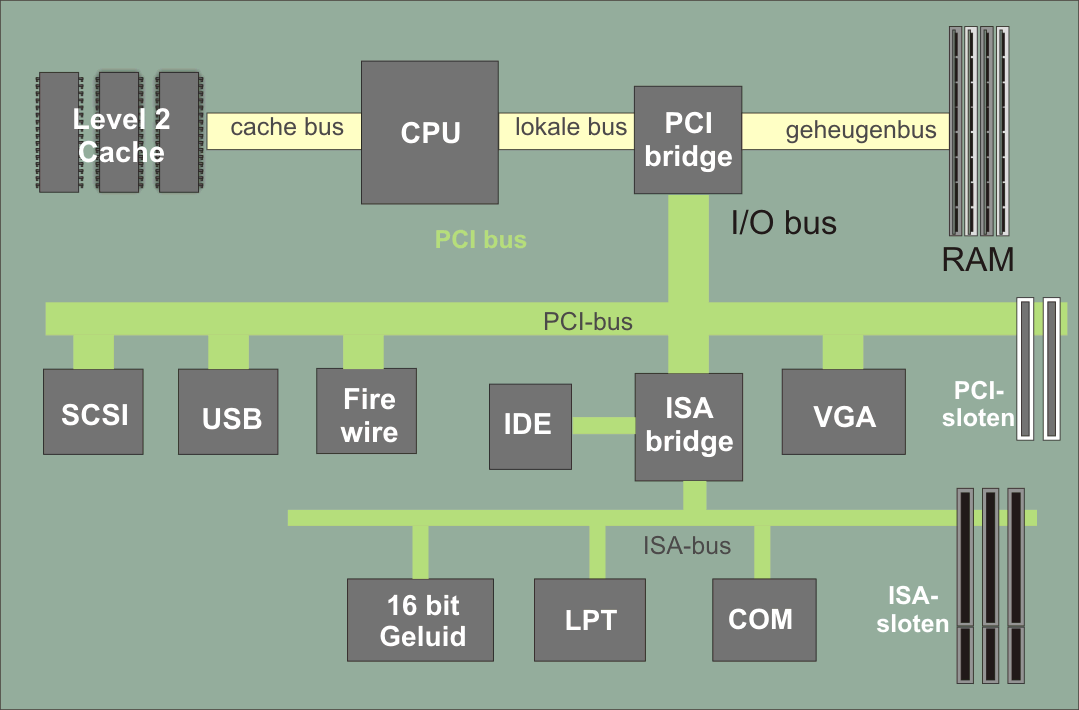
# PCI

De PCI-bus

* ‘Peripheral Components Interconnect’
* De PCI bus (versie 1.0):
* 32 bits overdracht per cyclus;
* Klokfrequentie van 33 MHz (max. 128 MB/s).
* De PCI bus (versie 2.x):
* 32 bits of 64 bits overdracht per cyclus;
* Snelheid van 66 MHz (max. 528 MB/s);
* De PCI-uitbreidingsslots zijn rechtstreeks met het geheugen verbonden zodat randapparaten automatisch geconfigureerd worden (Plug and Play). Deze slots zijn herkenbaar aan hun witte kleur.

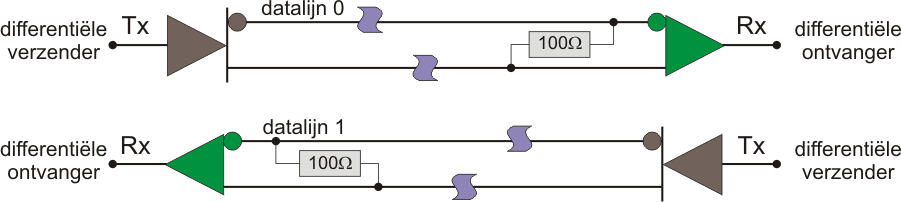
## PCI-Bus kenmerken van de PCI-bus:

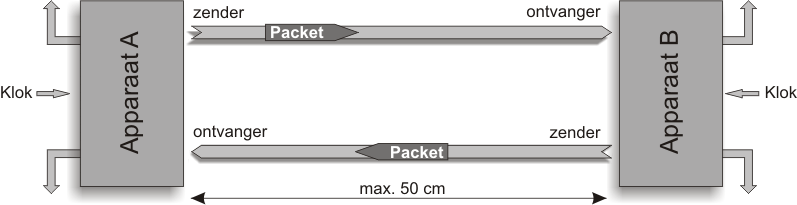
* Multiplex Principe
  + De 32 lijnen worden alternerend gebruikt voor adressen en data.
* Interrupt Sharing
  + Meerdere kaarten kunnen een interrupt delen. Volgens de PCI-specificatie heeft elk PCI-slot vier virtuele interrupts ter beschikking. Hiervan wordt telkens slechts één gebruikt. De andere interrupts worden dan door andere uitbreidingskaarten in gebruik genomen.
* Uitbreidingskaartconfiguratie
  + De PCI-Bios herkent elke uitbreidingskaart en zorgt zelfstandig voor de configuratie.



# PCI-E

* 2 weg seriële connectie die gegevens in pakketjes, analoog aan het gegevens transport bij ethernetconnecties.
* Niet langer een enkelvoudige parallelle databus waardoor de data getransporteerd worden aan een vaste snelheid
* Samenstelling van seriële poit-to-point en individuele geklokte banen die uit 2 paar datalijnen bestaan (tweerichtingsverkeer).
* Opgebouwd uit 2 LVDS (low voltage Differentieal signaling) paren
* Softwarematig compatibel met PCI 2.x.
* Hardwarematig niet compatibel met PCI 2.x.





## PCI-E bus

* PCI-Express versie 2.0
  + De frequentie is verdubbeld van 2.5 naar 5 GHz (serieel, dus gelijk aan 5Gbps). Dit geeft een bandbreedte van 500 MB/s voor 1x tot 8 GB/s voor 16x connectoren;
  + Beter uitgerust voor Input/Output-virtualisatie;
  + Energiezuiniger door de mogelijkheid om bepaalde lanes uit te schakelen bij idle-standen.
* PCI-Express versie 3.0
  + De frequentie is verhoogd naar 8 GHz;
  + 128b/130b encodering;
  + Doorvoersnelheid van 8 Gbps of 1GBps per lijn.

## PCI-E x1, x4, x8, x16

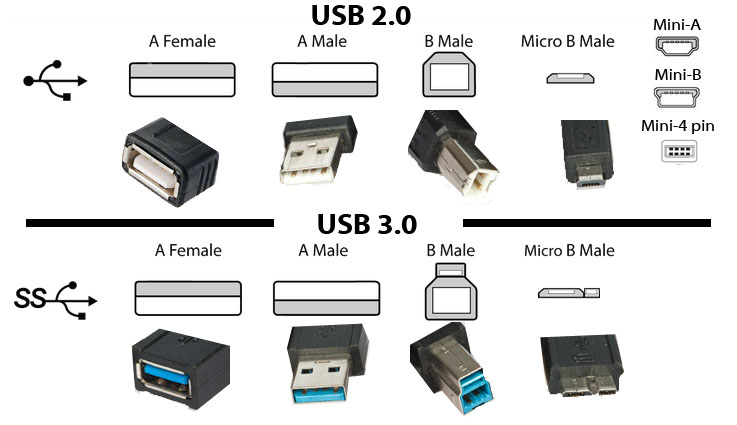
* X1: Meest gangbare uitbreidingskaarten zoals ehternetkaarten
* X4: wordt gangbaar aangezien bepaalde nieuwe technologieën niet voldoende hebben aan x1
* X16: vooral gebrujikt voor grafische kaarten. Plaatsvervanger van het AGP slot. Hogere bandbreedte . Van formaat komen AGP en x16 overeen. Niet compatibel met elkaar.

## Mini PCI-Express

* Kleinere versie van de PCI-E
* Ontwikkeld voor laptops

# USB

* Externe **seriële** bus met een gedefinieerd protocol -> **zorgt voor dat het systeem met de USB apparaat kan communiceren**
* Max. 127 apparaten
* Hotpluggable/hotswappable
* 4 aders (bij usb 2.0 2 aders)
* 4 SDP-kabels(USB 2.0 UTP kabel)
* 3m lengte (usb 2.0 5m)
* USB 3.0 apparaten werken op USB 2.0 apparaten en omgekeerd
* Computer is host
* USB 2.0 On-The-Go:
  + Mobiele point-to-point verbindingsmogelijkheid;
  + Apparaten zowel verzender (host) als ontvanger (randapparatuur): “dual role devices”.
* Certified Wireless USB:
  + Speciaal voor draadloze markt en dus in concurrentie met Bluetooth en de Wireless Ethernet standaard;
* PoweredUSB:
  + Extra connector voor stroomvoorziening;



# IEEE-1394 (FireWire)

* Seriële isochrone(real-time) hogesnelheid bus
* Ontwikkeld om tegemoet te komen aan de grote vraag naar audio- videoapplicaties
* Veel sneller dan USB 1.1 en zelf bijna half zo snel als ATA133 voor interne opslagmedia;
* Voor externe apparaten (hot-pluggable) die ofwel hun voeding halen van de poort of zelf in hun voeding voorzien;
* Per bus kunnen er maximaal 63 apparaten aangesloten worden op een geschakelde ketting, op hun beurt kunnen nog eens 1023 bussen met elkaar geconnecteerd worden
* Lengte van 100m (alleen de 3200Mbit-standaard anders 15m)
* Aansluiting **met stroomvoorziening**: 6-draads kabel (2 stroomdraden, 2 draden voor dataoverdracht en 2 draden voor het kloksignaal);
* Aansluiting **zonder voeding**: 4-draads kabel;
* Connectie door een IEEE-1394 interface in de vorm van een PCI adapter kaart of onboard;
* IEEE 1394 standaard: peer-to-peer standaard. Firewire apparaten kunnen dus rechtstreeks met elkaar interconnecteren.

# Thunderbolt

* Ontwikkeld door intel
* Eerst toegepast in de mackbook pro van 2011
* Combinatie van PCI-E e, displaypoort
* Ontwikkeld voor glasvezelverbindingen, maar de koperverbinding laat toe om de vooropgestelde 10 Gbps te halen en is veel goedkoper. Later kan terug overgestapt worden naar glasvezel om 100 Gbps te halen.
* Connector is een Mini DisplayPort connector;
* Daisychain tussen zeven toestellen;
* Hoge bandbreedte van 10 Gbps in de twee richtingen is twee maal sneller dan USB 3.0.

# Parallele en seriële

## Parallelle poort (IEEE-1284)

* De parallelle poort werd voornamelijk gebruikt voor het aansluiten van een printer door middel van een 25 pins SUB-D connector.
* Vaak vervangen door USB

# Seriële poort (RS-232C)

* RS-232 is een standaard voor seriële binaire datacommunicatie tussen computers en randapparatuur of tussen computers.

# Express-card

* Om laptops eenvoudig te kunnen uitbreiden
* Eerst PCMCIA leter pas eenvoudig PC-kaart genoemd recente versie cardbus
* Afhankelijk van de PCI-bus
* 16 bits breed resente versie 32 bit breed

# Bussen voor opslagmedia

## S-ATA

* Seriële verbinding
* 7 aansluitingen, maar 4 singaalpinnen
* IDE : Integrated Drive Electronics
* ATA: Attachment Interface for disk drives
* E-SATA: extern

## SCSI

* Hogere snelheid dan IDE;
* Groot aantal apparaten;
* SCSI-bus afgesloten met terminators;
* SCSI-identifiers nodig;
* SCSI-1
* SCSI-2
* SCSI-3

### Serial Attached SCSI (SAS)

* Seriële versie: 3 GHz, dus bandbreedte 3 Gb/s;
* Geen terminatie nodig aangezien elk apparaat zijn eigen kabel heeft;
* “backward compatible“ met SATA, zodat SATA-schijven aan een SAS-controller kunnen gekoppeld worden, maar niet omgekeerd.

### iSCSI

* Internet Small Computer System Interface;
* Gebruikt Ethernet connectors en kabels, en het IP-protocol.
* Binnen datacenters om alle opslag van servers te centraliseren in een SAN-omgeving.

# Architectuur van de microprocessor

## De onderdelen van de microprocessor

* **Buseenheid:** verzorgt de communicatie met de bussen en genereert geheugen- en I/O-adressen;
* **Instructie-eenheid:** decodeert de gegevens, die door de businterface zijn opgehaald, als instructies, die vervolgens worden uitgevoerd;
* **Adreseenheid:** voert alle adresberekeningen intern en extern uit;
* **Uitvoeringseenheid:** voert de gedecodeerde instructies uit. Sommige instructies bevatten geheugenadressen. Deze instructies worden in de adreseenheid geplaatst voor verdere verwerking;

## Onderdelen uitvoeringseenheden

* De rekenkundige- en logische eenheid (ALU)
  + Arithmetic and Logic Unit: eigenlijk rekencircuit van de processor (twee data-inputs en één data-output);
* De besturingseenheid of Control Unit (CU)
  + Verantwoordelijk voor de communicatie tussen de ALU en de andere componenten van het moederbord;
  + Synchronisatie en de controle van het gehele systeem;
  + Beschikt over een programcounter (instructieteller).
* De registers

## Von Neumann Cyclus

De werking van de hedendaagse microprocessen is ingedeeld volgens Von Neumann Cyclus

* Stap1: **Instruction fetch:**  Als eerste wordt de inhoud van de program counter (indtructiepointer) op de adresbus geplaatst. Via de controlebus wordt de leessignalen doorgegeven

Deze instructie wordt tijdelijk in het instructieregister geplaatst. De program counter zal nu verhogen met het aantal bytes dat de ingelezen instructie bevat, zodat de volgende instructie nu wordt aangewezen.

* Stap2: **Instruction Decode:**  De instructie wordt gedecodeerd zodat het juiste type instructie bepaald wordt. Indien het voor het uitvoeren van een instructie nodig is om data uit het geheugen te halen, dan wordt eerst bepaald op welk adres ze staan, ze worden daar

opgehaald en in de registers geplaatst (operand fetch).

* Stap 4: Store : Het (tussen)resultaat wordt opgeslagen en we keren terug naar stap 1 voor het uitvoeren van de eerstvolgende instructie (aangewezen door de verhoogde program counter).

# Processoren

## Processor architectuur

* Beschrijft de inwendige manier waarop een processor instructies dient uit te voeren.
* Bepalend voor ontwerp hardware, software
* Elke architectuur eigen assembleertaal met daarop gebaseerde os.

## X86 architectuur

* Belangrijkste architectuur binnen de pc-markt
* Sinds de jaren 80 = Intel
* NEC = V20 en V30 processoren, "8088" compatibel
* Andere fabrikanten = AMD en Cyrix (eerst in licentie)
* Drie hoofdvarianten van de x86-instructieset:
  + 16-bits variant
  + 32-bits variant
  + 64-bits variant

Afhankelijk van de modus, gebruikt de processor een van de varianten.

## ARM architectuur

* Bestaat uit bit-RISC processor vooral terug te vinden in “embedded designs”
* Draagbare apparaten, spelconsoles, randapparatuur

## EPIC architectuur

Tracht performantie van processor op te drijven door:

* Instructies parallel uit te voeren door software compiler niet door complexe logische circuits op de processor zelf.

## PowerPC architectuur

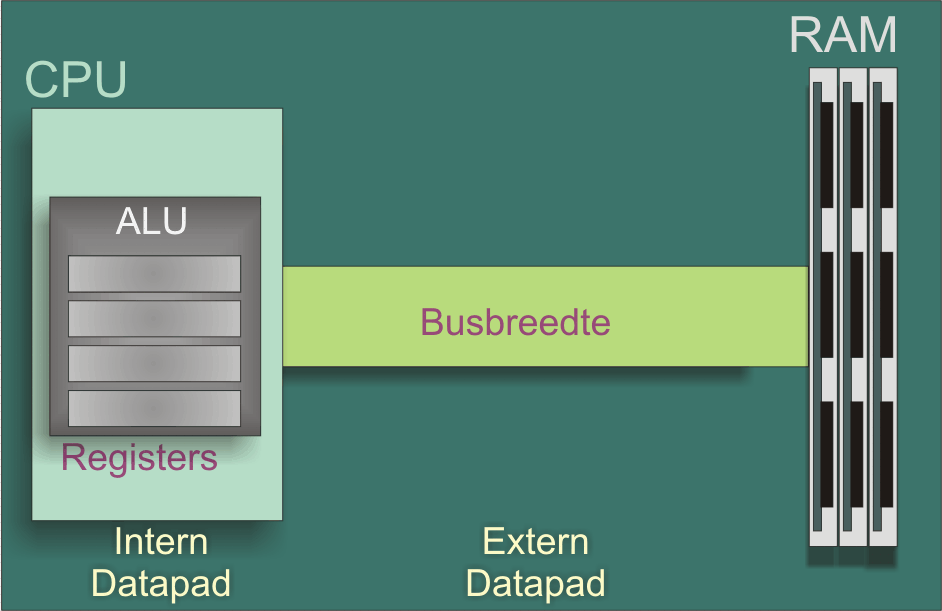
* Risc-processor architectuur gemaakt door AIM
* Was bedoeld voor workstations -> later populair in geïntegreerde systemen en ook voor krachtige processoren

## Tick Tock

* Intel past de “Tick-Tock”-strategie toe.
* Tick = nieuwe productietechnologie met toename van transistordensiteit en betere energieëfficientie.
* Tock = nieuwe microarchitectuur
* Vanaf 2016-2017 een extra stap voor optimalisatie

## Interne databus en externe databus

* De interne databus van de microprocessor worden gevormd door zijn registers. Hierin plaatst de microprocessor de gegevens die hij nodig heeft voor het uitvoeren van de instructies.
  + - interne databus = registerbreedte = woordgrootte
* De externe databus (datapad) wordt gevormd door de parallelle verbindingen die gebruikt worden om de gegevens tussen de verschillende onderdelen van het moederbord te verzenden.
  + - externe databus = datapad = busbreedte



## Klokfrequentie: intern en extern

* Metronoom van de computer
* Geeft tempo aan waarop de functies uitgevoerd worden in het systeem
* Bepaald door de snelheid van de bus op het moederbord
* Een klok die precies een miljoen tikken per seconde slaat noemt men een megahertz klok. De snelheid wordt dan ook uitgedrukt in MHz (één miljoen trillingen per seconde) of GHz.
  + interne kloksnelheid = processorfrequentie
  + externe kloksnelheid = busfrequentie
* Het type van de processor bepaalt welke snelheden kunnen worden bereikt.

interne klok = vermenigvuldigingsfactor X externe klok

* 8088, 80286, 80386
  + interne klok gelijk aan externe klok (systeembus)
* 80486
  + klokverdubbelaars en klokverdrievoudigers

### Klokfrequentie vanaf Pentium Pro

* Vanaf Pentium Pro: Dual Independent Bus architectuur
  + De systeembus is opgedeeld in de back side bus (BSB) de front side bus (FSB) snelheid;
    - **Back side bus** is de bus die door de processor gebruikt wordt voor het aanspreken van de L2-cache;
    - **Front side bus** is de bus tussen de processor en het hoofdgeheugen (via north bridge);
  + Dit laat toe om de snelheid van de front side bus te verhogen en dit onafhankelijk van de back side bus die evenredig met de klokfrequentie van de processor stijgt.
* interne klok = vermenigvuldigingsfactor X FSB
* maken gebruik van halve factoren
* Pentium 4/D en Core 2
* bezitten een “quad pumped” bus

### Klokfrequentie vanaf core i

* De parallelle front side bus vervangen door een seriële bus, de QuickPath Interconnect (QPI)
* Een frequentie van 2,4 GHz, 2,93 GHz of 3,2 GHz
* Geven 2 bits per cyclus door (double date rate).

## Kenmerken: bandbreedte

* Bandbreedte = busbreedte \* busfrequentie

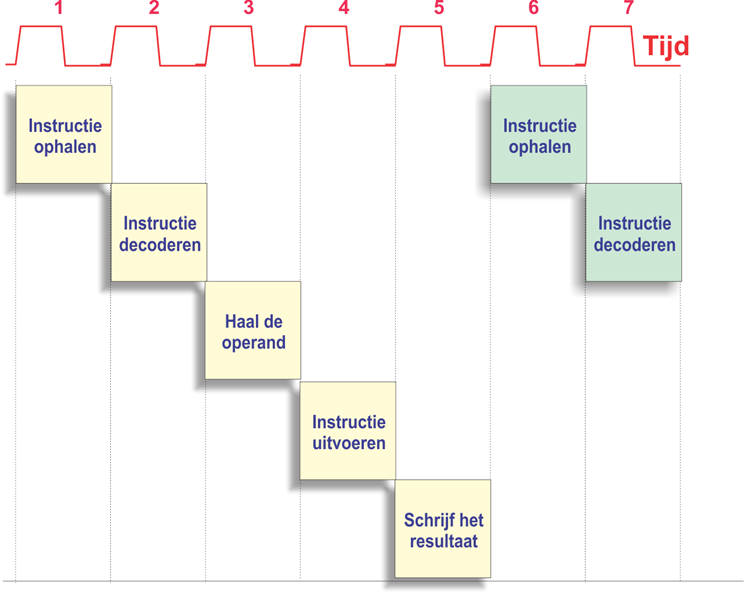
## Adresbus

* Adresseerbaar geheugen bereik (RAM-bereik) = aantal adrespennen
* Hoe groter het aantal pennen, hoe groter het adddresseerbaar beereik

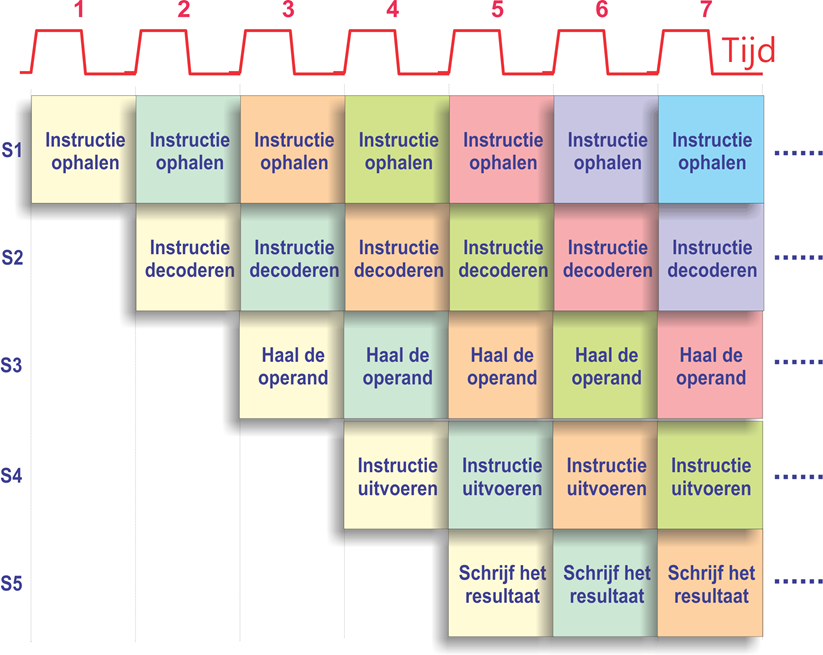
## Sperscalaire uitvoering/pipelining

* Vanaf pentium-familie
* Manier om meer werk te verrichten op dezelfde tijd door gebruik te maken van meerdere pipelines
* Voor het uitvoeren van 1 instructie zijn er 5 stadia (stages):
  + Instruction fetch: haal de instructie op
  + Instruction decode: bepaal wat er moet uitgevoerd worden
  + Fetch operands: haal de operanden
  + Execution: voer de instrcutie uit
  + Write back: plaats het resultaat

**Zonder pipeline**



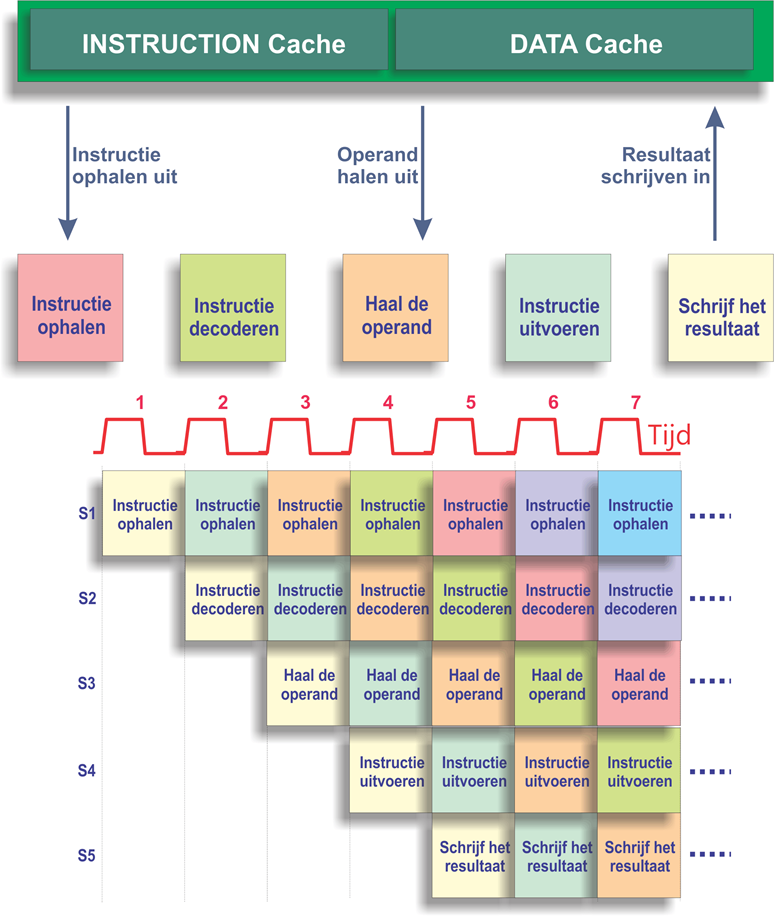
**Met pipeline**



## Cache geheugen

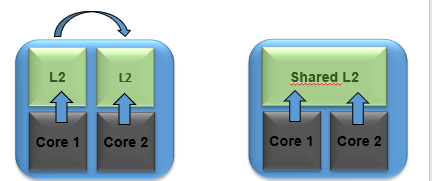
### Level-1 cache

* Statisch ram geheugen binnen de processor
* Sterke toename van prestatie vermogen
* Vanaf de Pentium processoren is er een fysisch gescheiden L1-cache voor instructies (Icache) en voor data (Dcache). Dit creëert een parallellisme dat de processor toelaat om instructies en data tegelijkertijd op te halen uit de cache. Hierdoor kunnen drie instructies (lezen van de instructie, lezen van de operand, schrijven van de operand) in dezelfde klokcyclus plaatsvinden.
* Door de scheiding van het L1-cache geheugen wordt het volledige voordeel uit de parallelle pipelines geput aangezien deze verhoogde benadering van het geheugen voorkomt dat de pipeline moet wachten



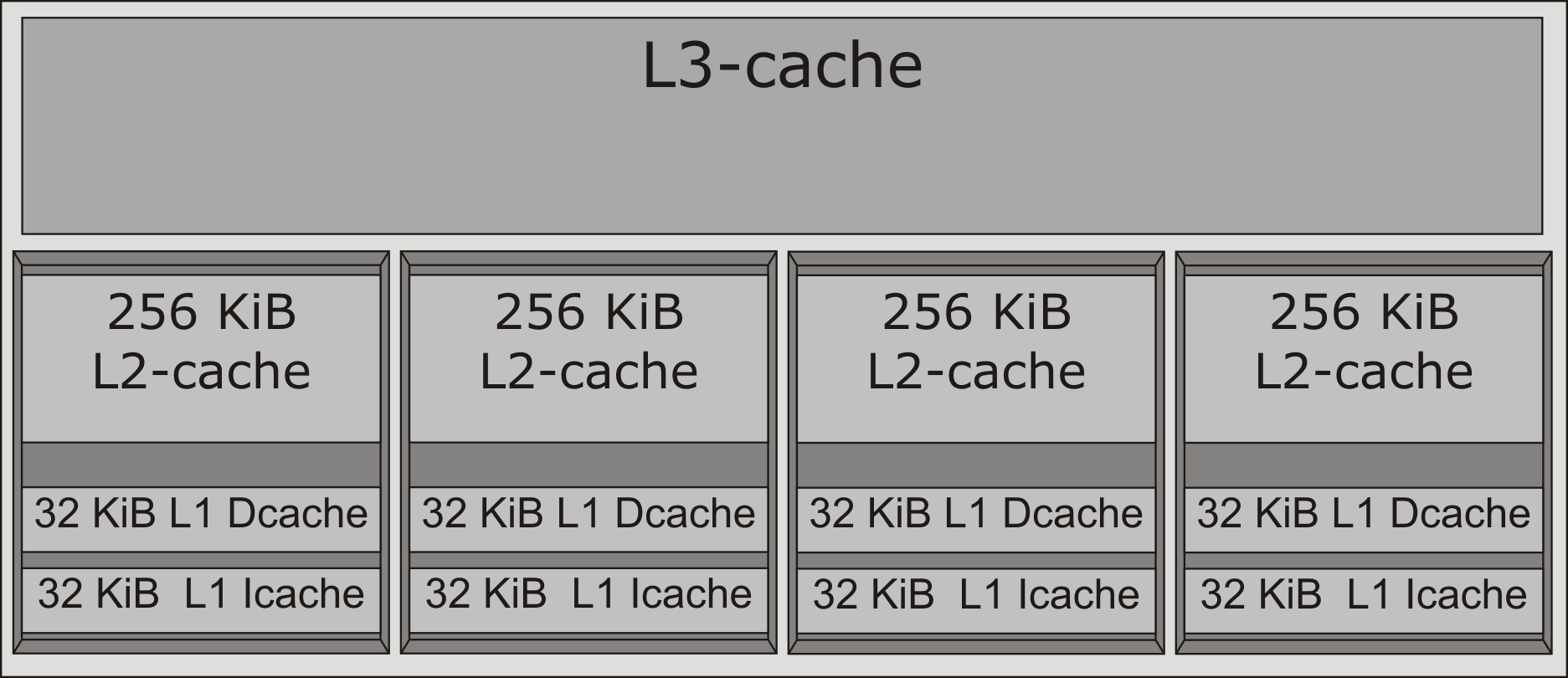
### Level2- cache

* 2de niveau van cache geheugen binnen de processor
  + Vroeger op het moederbord verbonden met systeembus voordelen:
    - Niet langer aangesproken door trage externe bus maar wel door snelle interne bus, aan processor snelheid
    - Dicht gelegen bij de processor
* Ongedeelde cache (pentium D, Athlon 64 X2)
  + Beide cores kijken via omweg (FSB) in de cache van de ander;
  + Vaak dezelfde data in beide caches aanwezig;
* Vanaf Core: Advanced Smart cache
  + L2-cache gedeeld door de verschillende core’s;
  + Evenredige verdeling op basis van prestaties



### Level-3 cache

* Vanaf core i (Nehalem) wordt een derde niveau toegevoegd.
* Andere structuur in opdeling cache-geheugens



De L1-cache wijzigt niet in grootte ten opzichte van de Core-kernen, maar wel in snelheid.

Bij de Core i krijgt elke kern “slechts” 256 KiB L2-cache, wat gedeeltelijk goedgemaakt wordt door een verhoogde snelheid.

De echte oplossing voor dit verlies zit echter in de toevoeging van **L3-cache** die door alle aanwezige kernen.

Benaming Celeron: vaak minder L2/L3 cache geheugen (kosten drukken)

## Dynamische sprongvoorspelling

* Door pijplijnprincipe moet de processor het adres kennen van de volgende intstructie die komt na degene die hij aan het uitvoeren is vb:
  + - **Laad een waarde voor de variabele**
    - **Bekijk de waarde**
    - **Bewaar de nieuwe waarde van de variabele**
    - **Als de waarde kleiner is dan 0, ga dan terug naar nummer 1, indien niet voor dan instructie 5 uit**
    - **….**

**Als instructie 1 wordt uitgevoerd wordt instructie 4 al in de pipeline geladen maar bij het uitvoeren van instructie 2 weet de processor niet wat er na 4 komt en moet dus wachten tot instructie 4 is uitgevoerd.**

* Niet lineaire code geeft problemen bij het gebruik van pipelining
  + Mogelijkheid 1: ga ervan uit dat de volgende instructie achter een sprong of vertakking altijd de eerst volgende is.
  + Mogelijkheid 2: De Branch Target Buffer (BTB) versnelt de uitvoering van de instructies door bij te houden in welke richting een instructie ‘gesprongen’ is. De volgende maal zal dezelfde sprong toegepast worden.

De Pentium: Bij het uitvoeren van een lus zal hij zowel de instructie laden die dadelijk volgt na de lus, als de instructie die de voorgaande maal na het verlaten van de lus werd uitgevoerd

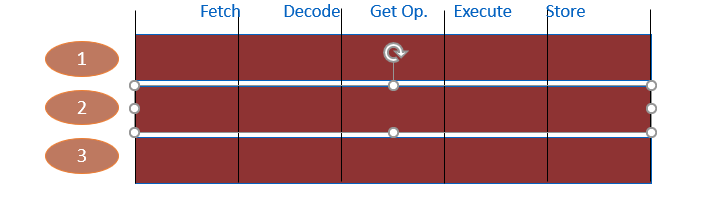
### Dynamische uitvoering vanaf P6

* Pipeline in vele stappen;
* Groot aantal opdrachten slechts gedeeltelijk afhandelen;
* Opdrachten afhandelen in een afwijkende volgorde, waardoor de drie pipelines op zeer hoog vermogen kunnen werken;
* Voorbeeld:
  + 1. **Laad een waarde voor variabele 1**
    2. **Laad een waarde voor variabele 2**
    3. **Vermenigvuldig variabele 1 met variabele 2**
    4. **Bewaar de nieuwe waarde van variabele 1**

Instructie 1 en 2 kunnen parallel door de pipelines uitgevoerd worden

Instructie 3 moet wachten op het voltooien van instructie 1 en 2

Instructie 4 moet op zijn beurt wachten op instructie 3

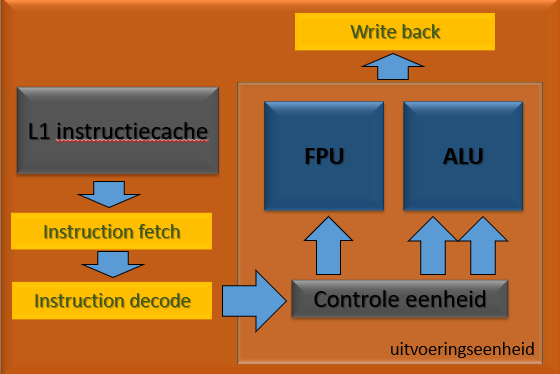


### Wide Dynamic Execution (Core)

* Micro-op fusion:
  + Micro-ops = kleine, weinige complexe instructies die de processor eenvoudig kan uitvoeren;
  + Binnenkomende complexe x86-instructies worden opgesplitst in micro-ops en dan de pipeline ingestuurd. Waar mogelijk worden micro-ops samengevoegd en als één geheel uitgevoerd.

## Floating Point Unit (FPU)

* Vroegerbijgeplaatste numerieke processor
* Tegenwoordig geen coprocessor maar 1 of meerdere FPU (geïntegreerd in de processor)
* Verlicht werk van de ALU
* Floating point execution  
  pipeline:
  + 8 stages



## SSE-technologie

* Ontworopen voor het bewerken van mulitmedia gegevens, zoals video, audio,…
* Versnelt multimedia applicaties
* Specifieker
  + Afbeeldingen met hogere resolutie en hogere kwaliteit
  + Hoog kwalitatieve audio, video en simultane videocodering en decodering
  + Verminderde cpu belasting bij spraakherkenning

### MMX-technologie

* Toevoeging van 57 nieuwe instructies vanaf pentium MMX en PII
* ISSE1
  + 70 nieuwe instructies vanaf laatste PIII;
  + 12 instructies komen als Multimedia instructies bovenop de MMX instructies;
  + 8 nieuwe 128-bit floating point registers;
  + 64-bit brede Intel MMX-registers;
  + Een bijkomend SIMD-integer;
  + 8 controle instructies voor cache.
* SSE2
  + 144 nieuwe instructies vanaf laatste P4;
  + nieuwe 128-bit registers;
* SSE3
  + 13 nieuwe instructies vanaf Core;
* SSE4
  + 47 nieuwe instructies vanaf Core;
* Advanced Digital Media Boost
  + SSSE3 en SSE4.1 (45 nm):
    - Operaties op 128-bits in één keer uitgevoerd, dus SSE-instructies twee keer zo snel uitgevoerd als bij bestaande microarchitecturen.

## Intel Extended Memory 64 technologie

* Vanaf de Prescott
* Tegenwoordig in alle processoren
* Laat 64-bit computing toe op servers, werkstations en desktop computers
* Verhoogd de performantie
* Kan meer dan 4 GiB virtueel en fysisch geheugen adresseren
* De nieuwe technologie ondersteunt:
  + 64-bit virtuele adresruimte;
  + 64-bit pointers;
  + 64-bit brede algemene registers;
  + 64-bit integer ondersteuning;
  + Tot 1 Terabyte (TB) platformadresruimte.

## Heaperthreading

* Vanaf Pentium 4
* Verdeeld processoren in 2 logische processoren
* Meerdere applicaties uit voeren
* De HT-technologie leidt tot een winst aan performantie tot ongeveer 25%;
* Bij de Nehalem kunnen meerkernige processoren ook HT hebben.

## Virtualisation technology

* Vanaf pentium 4
* Hardware ondersteuning om virtuele machine te draaien
* Alleen software matig is dit zeer belastend voor de computer
* Bij AMD: AMD virtualization (AMD-V)

## Execute Disable Bit

* De XD-bit verschaft een betere bescherming tegen virusaanvallen.
* Laat toe om geheugen te markeren als uitvoerbaar of niet-uitvoerbaar
  + op deze wijze kan de processor een foutcode lanceren wanneer een programma probeert te draaien in niet-uitvoerbaar geheugen.

## Voorlopers huidige processoren

### De Core microarchitectuur

* Nieuwe technologieën
  + Wide Dynamic Execution;
  + Intelligent Power Capabilty;
  + Advanced Smart Cache;
  + Smart Memory Access;
  + Advanced Digital Media Boost (SSE4);
  + Enhanced Speedstep technologie;
  + Verbeterde branch prediction;
  + Nieuw concept macrofusion. Soms twee instructies uitgevoerd in de tijd van één.

### Core 2: algemene kenmerken

* Dubbelkernig of vierkernig
* 32 KiB+32 KiB L1-cache
* 65 of 45 nm
* 32 KiB+32 KiB L1-cache;
* Zijn meestal aanwezig:
  + 64-bit implementatie (EM64-T)
  + Executive Disable bit om virusaanvallen tegen te gaan
  + Virtualisatietechnologie (VT).

Benaming: Core 2 Duo, Core 2 Quad of Xeon. (Eerste dual core: aan elkaar geplakte Pentium 4’s)

## Huidige core-i processoren

* Modulaire opbouw
* 2, 4, 6 of 8 kernen
* Intel Quickpath Interconnect
* Geïntegreerde Graphical processor unit (GPU)
* Meerdere GPU’s
* L3 cache geheugen
* Tick-Tock benadering van generaties

## Intel QuickPath Interconnect

* Concurrent van Hypertransport (AMD)
* Vervangt de FSB
* Overgang naar serieel transport
* Geïntegreerde geheugencontroller nodig
* QPI = 2 x 4 kwadranten van elk 5 full-duplex lanen. In totaal dus 40 signalen, met nog 2 extra verbindingen voor de kloksignalen in elke richting.
* In totaal dus 84 pinnen: 64 bit datatransport. Om 8 databits te transporteren moeten dus 10 bits getransporteerd worden, dus een 8/10 encodering.

Dual cora quickpath vs FSB

